

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-341037

(43)Date of publication of application : 27.11.2002

(51)Int.Cl.

G01T 1/17

G01R 29/02

G01T 1/15

(21)Application number : 2001-143367

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 14.05.2001

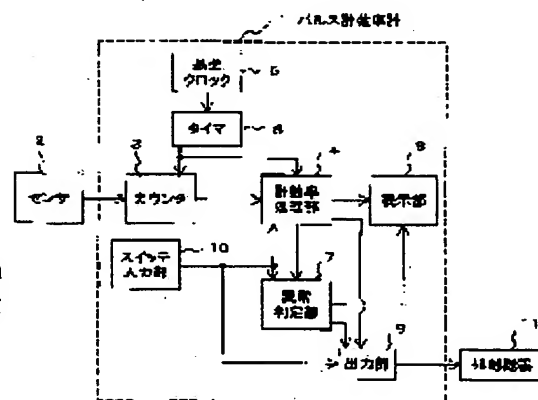
(72)Inventor : SAKAI HIROTAKA
SATO TOSHIBUMI
YUNOKI AKIRA
IGAWA SHINJI

(54) PULSE COUNTING RATE METER

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a pulse counting rate meter capable of dealing with a high-speed event with high noise resistance and performing a precise pulse counting, and easy to maintain and manage.

SOLUTION: This pulse counting rate meter comprises a counter 3 for counting the integrated pulse number every prescribed time of pulses inputted from a sensor 2; a counting rate processing part 4 for receiving the output of the counter 3 to determine the pulse counting rate; a timer 6 for outputting a reference clock 5 to the counting rate processing part 4 and the counter 3; a switch input part 10 for controlling the operation of the processing part 4; and a display part 8 for displaying the processing result in the processing part 4. The counter 3, the timer 6, the processing part 4, the switch input part 10, and the display part 8 are formed by a logic circuit.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

2

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-341037

(P2002-341037A)

(43)公開日 平成14年11月27日(2002. 11. 27)

(51)Int.Cl.⁷

識別記号

F I

テーマコード(参考)

G 0 1 T 1/17

G 0 1 T 1/17

J 2 G 0 8 8

G 0 1 R 29/02

G 0 1 R 29/02

E

G 0 1 T 1/15

G 0 1 T 1/15

審査請求 未請求 請求項の数 8 O L (全 6 頁)

(21)出願番号 特願2001-143367(P2001-143367)

(22)出願日 平成13年5月14日(2001. 5. 14)

(71)出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72)発明者 酒井 宏隆

東京都府中市東芝町1番地 株式会社東芝
府中事業所内

(72)発明者 佐藤 俊文

東京都府中市東芝町1番地 株式会社東芝
府中事業所内

(74)代理人 100087332

弁理士 猪股 祥晃 (外2名)

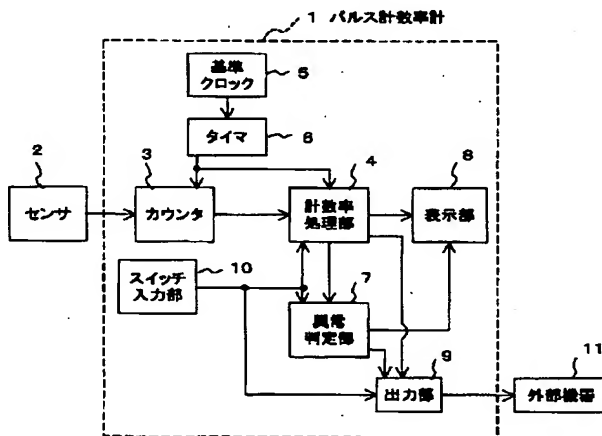
最終頁に続く

(54)【発明の名称】 パルス計数率計

(57)【要約】

【課題】雑音耐性が高く、高速の事象に対応可能であると同時に高精度のパルス計数が可能で、保守と管理の容易なパルス計数率計を提供する。

【解決手段】センサ2から入力されるパルスの所定の時間毎の積算パルス数を計数するカウンタ3と、このカウンタ3の出力を受けてパルス計数率を求める計数率処理部4と、この計数率処理部4および前記カウンタ3に基準クロック5を出力するタイマ6と、前記計数率処理部4の動作を制御するスイッチ入力部10と、前記計数率処理部4における処理結果を表示する表示部8とを備え、前記カウンタ3と前記タイマ6と前記計数率処理部4と前記スイッチ入力部10と前記表示部8を論理回路により構成した構成とする。



1

【特許請求の範囲】

【請求項 1】 センサから入力されるパルスの所定の時間毎の積算パルス数を計数するカウンタと、このカウンタの出力を受けてパルス計数率を求める計数率処理部と、この計数率処理部および前記カウンタに基準クロックを出力するタイマと、前記計数率処理部の動作を制御するスイッチ入力部と、前記計数率処理部における処理結果を表示する表示部とを備え、前記カウンタと前記タイマと前記計数率処理部と前記スイッチ入力部と前記表示部を論理回路により構成したことを特徴とするパルス計数率計。

【請求項 2】 計数率処理部における処理結果の出力を受けて計数率が正常か否か判定する異常判定部と、この異常判定部における判定結果を外部機器に出力する出力部とを備え、前記異常判定部と前記出力部を論理回路により構成したことを特徴とする請求項 1 記載のパルス計数率計。

【請求項 3】 計数率処理部は、各時間毎の計数率に依存する減衰の時定数を複数個 (N 個) 記録し、そのうちの大きい側から X 個、小さい側から Y 個の時定数を除いた残りの (N-X-Y) 個の時定数をもとに計数の時間毎の減衰を決める時定数を求めることを特徴とする請求項 1 記載のパルス計数率計。

【請求項 4】 計数率処理部は、各時間毎の計数を複数個 (M 個) 記録し、そのうちの計数の大きい側から V 個、小さい側から W 個の計数率を除いた残りの (M-V-W) 個の計数をもとに計数の時間毎の減衰を決める時定数を求めることを特徴とする請求項 1 記載のパルス計数率計。

【請求項 5】 スイッチ入力部のの入力スイッチすべてをあらかじめ定められた方向に設定しない限り論理回路の内部論理の変更を不可能とする機構を備えたことを特徴とする請求項 1 記載のパルス計数率計。

【請求項 6】 計数率計内のあらかじめ定められた点を電氣的に接続しない限り論理回路の変更を不可能とする機構を備えたことを特徴とする請求項 1 記載のパルス計数率計。

【請求項 7】 論理回路の内部論理の変更の際に、スイッチ入力部のそれぞれの入力タイミング毎にあらかじめ定められた表示灯が一回のスイッチによる入力のタイミングの間点灯し、その間にあらかじめ定められたスイッチによる入力を行うことで次の入力タイミングへ進み、あらかじめ定められた回数、あらかじめ定められたパターンをすべて実行することで内部論理の変更を可能とする機構を備えたことを特徴とする請求項 1 記載のパルス計数率計。

【請求項 8】 論理回路を機能毎のブロックに分け、重要な機能をつかさどるブロックを、基板上では書き換えることが不可能な素子で構成したことを特徴とする請求項 1 記載のパルス計数率計。

【発明の詳細な説明】

2

【0001】

【発明の属する技術分野】 本発明は、放射線測定装置等に於いて一定時間あたりのパルス数を測定するデジタル式のパルス計数率計に関する。

【0002】

【従来の技術】 従来のデジタル式のパルス計数率計においては、マイクロコンピュータや DSP (デジタル・シグナル・プロセッサ) など、主にソフトウェアにより機能を制御する。そのため、ソフトウェアとハードウェアの個々の動作の検証のみならず、組合せた状態での検証など計数率計全体としての動作の検証が難しい。また、基本的に CPU (中央演算装置) による集中制御であるので一個所の不具合が即座に全体に波及するため、入出力形式等の小さい変更であっても全体の変更と同様の検証作業が必要である。さらに、これまでの処理ルーチンでは、高速の事象に対応する構成をとった場合には雑音に対する耐性が低く、逆に雑音に対する耐性を上げた場合には応答速度が低い。

【0003】

【発明が解決しようとする課題】 本発明は、雑音耐性が高く、高速の事象に対応可能であると同時に高精度のパルス計数が可能で、保守と管理の容易なパルス計数率計を提供することを目的とする。

【0004】

【課題を解決するための手段】 上記目的を達成するために、請求項 1 の発明のパルス計数率計は、センサから入力されるパルスの所定の時間毎の積算パルス数を計数するカウンタと、このカウンタの出力を受けてパルス計数率を求める計数率処理部と、この計数率処理部および前記カウンタに基準クロックを出力するタイマと、前記計数率処理部の動作を制御するスイッチ入力部と、前記計数率処理部における処理結果を表示する表示部とを備え、前記カウンタと前記タイマと前記計数率処理部と前記スイッチ入力部と前記表示部を論理回路により構成した構成とする。

【0005】 本発明によれば、各機能ブロックが論理回路により構成されているので部品点数を削減することができ、ソフトウェアを使用しないことにより健全性の検証作業を単純化し、計数精度と、安定性の高いパルス計数率計を提供することができる。

【0006】 請求項 2 の発明は、請求項 1 の発明において、計数率処理部における処理結果の出力を受けて計数率が正常か否か判定する異常判定部と、この異常判定部における判定結果を外部機器に出力する出力部とを備え、前記異常判定部と前記出力部を論理回路により構成した構成とする。本発明によれば、上記請求項 1 の発明と同様の効果を得ることができるとともに、計数率異常時に外部機器を動作させることができる。

【0007】 請求項 3 の発明は、請求項 1 の発明において、計数率処理部は、各時間毎の計数率に依存する減衰

50

3

の時定数を複数個(N個)記録し、そのうちの大きい側からX個、小さい側からY個の時定数を除いた残りの(N-X-Y)個の時定数をもとに計数の時間毎の減衰を決める時定数を求める構成とする。

【0008】請求項4の発明は、請求項1の発明において、計数率処理部は、各時間毎の計数を複数個(M個)記録し、そのうちの計数の大きい側からV個、小さい側からW個の計数率を除いた残りの(M-V-W)個の計数をもとに計数の時間毎の減衰を決める時定数を求める構成とする。

【0009】請求項3または4の発明のパルス計数率計においては、計数率を求める際に時間毎の減衰を定める時定数を過去の履歴を利用して求め、その値をもとに新たな時間間隔におけるカウンタからの計数率と以前の計数率とをそれぞれ時定数をもとに重み付けして加算することで、過去の計数による影響を低計数率時においては大きく、高計数率時には小さく取り入れ、計数率が高い場合でも、低い場合でも、十分な計数精度及び応答速度を得ることができる。

【0010】請求項5の発明は、請求項1の発明において、スイッチ入力部のの入力スイッチすべてをあらかじめ定められた方向に設定しない限り論理回路の内部論理の変更を不可能とする機構を備えた構成とする。請求項6の発明は、請求項1の発明において、計数率計内のあらかじめ定められた点を電氣的に接続しない限り論理回路の変更を不可能とする機構を備えた構成とする。請求項5または6の発明のパルス計数率計においては、論理回路のロジックが安易に変更されることを防ぎ安全性を保つことができる。

【0011】請求項7の発明は、請求項1の発明において、論理回路の内部論理の変更の際に、スイッチ入力部のそれぞれの入力タイミング毎にあらかじめ定められた表示灯が一回のスイッチによる入力のタイミングの期間点灯し、その間にあらかじめ定められたスイッチによる入力を行うことで次の入力タイミングへ進み、あらかじめ定められた回数、あらかじめ定められたパターンをすべて実行することで内部論理の変更を可能とする機構を備えた構成とする。この発明のパルス計数率計においては、論理回路のロジックを安易に変更することができず、変更するときにはその進行状況を明確に把握することができる。

【0012】請求項8の発明は、請求項1の発明において、論理回路を機能毎のブロックに分け、重要な機能をつかさどるブロックを、基板上では書き換えることが不可能な素子で構成した構成とする。この発明によれば、安全性が高く保守管理のおこないやすいパルス計数率計を提供することができる。

【0013】

【発明の実施の形態】以下、本発明の実施の形態を説明する。すなわち、図1に示すように、本発明の実施の形

4

態のパルス計数率計1は、外部接続されたセンサ2から入力されるパルスの一定時間毎の積算パルス数を計数し記憶するカウンタ3と、このカウンタ3の出力を受けてパルス計数率を求める計数率処理部4と、この計数率処理部4および前記カウンタ3に基準クロック5を出力するタイマ6と、前記計数率処理部4での処理出力を受けて計数率が正常か否かを判定する異常判定部7と、この異常判定部7の判定結果と前記計数率処理部4の処理結果を表示する表示部8と、外部接続された外部機器11にパルス計数率等を出力する出力部9と、この出力部9および前記計数率処理部4および前記異常判定部7の動作を制御するスイッチ入力部10とからなる。そして各部は論理回路によって構成されている。異常判定部7と出力部9と外部機器11は必須の構成要素ではない。

【0014】このような構成とした本実施の形態のパルス計数率計の動作を図2を参照して説明する。すなわち、まず計数率処理部4において、カウンタ3よりあらかじめ定められた時間間隔 Δt (秒)毎にセンサ2からの積算パルス数の計数値(Pout)を読み出し、その後カウンタ3をクリアする。前回からの読み出し今回の読み出しまでの間の計数率 C_{new} を、 $C_{new}=Pout/\Delta t$ として求める。

【0015】こうして求めた C_{new} と、前回の計算結果 C_{old} をもとに、重みBによって $C=B \cdot C_{new}+(1-B)C_{old}$ と、重み付けをして最終的に出力する計数率Cを求める。なお、この値は次の計算の時に $C_{old}=C$ として使用する。

【0016】ここで、重みBを計数率によって変化させる。これは計数率が低い場合には新たなイベントによる寄与分に当たる重みの値を小さくすることによって、変動を小さくし、計数率が高い場合には重みを大きくすることによって古いイベントによる影響を軽減し、時間応答を早くするためである。

【0017】pを精度とした場合、重みBは以下のようにして求める。

$$(a-1) \quad B_{in}=C_{new} \cdot p^2 \cdot \Delta t$$

として、まず、今回の計数率から重み B_{in} を求める。

(a-2) 過去、 $N \cdot \Delta t$ 分の B_{in} をそれぞれ、 $B_{in}(N)$ ($N \cdot \Delta t$ 前)、 $B_{in}(N-1)$ ($(N-1) \cdot \Delta t$ 前)、 $B_{in}(N-2)$ ($(N-2) \cdot \Delta t$ 前)、 \dots 、 $B_{in}(3)$ ($3 \cdot \Delta t$ 前)、 $B_{in}(2)$ ($2 \cdot \Delta t$ 前)、 $B_{in}(1)$ ($1 \cdot \Delta t$ 前)とし、今回の値を $B_{in}(0)$ とする。そして、 $B(N)$ には前回 $B(N-1)$ であった値を入れ、 $B(N-1)$ には前回 $B(N-2)$ であった値を入れ、 $B(1)$ には前回 $B(0)$ であった値を入れる。 $B(0)$ には B_{in} という値を入れる。

(a-3) $B_{in}(0)$ から $B_{in}(N)$ までのうち、大きい順に、上からX個、下からY個の値を除いた(N-X-Y)個で平均を求め、この値をもとにBを求める。なお、Bは1.0を超えない値とし、超えた場合には1.0とする。

5

【0018】上記のような操作と計数率計の時定数との関係を説明すると、従来の計数率計では重みとして $\exp(-\Delta t/T)$ という減衰項を使用しているが、この減衰項は、ある時点の計数値がそこから時定数 T すぎた時点で $1/e$ （すなわち、 $1/2.71828$ ）という影響を持つことを示している。上記操作における重み B が、従来の計数率計で時定数による減衰を定める $\exp(-\Delta t/T)$ という減衰項に相当している。従って、 B を求めることが従来の計数率計の T を求める機能に相当している。

【0019】以上の処理による計数率計の入出力の様子を図3に示す。すなわち、図3の(a)のようなパルス入力があったとき、(b)従来の手法1の、時定数を長い値で固定した場合には計数精度は高く、ノイズ耐性も高いものの、応答速度が遅い。(c)従来の手法2の、時定数を短い値で固定した場合には、応答速度は早いものの、ノイズ耐性は低く、計数精度も低い。(d)従来の手法3の、時定数を直前の計数率をもとに変化させる場合には、応答速度は速く、計数精度も高く、ノイズ耐性も若干向上するものの、影響は残る。(e)本発明による出力では、応答速度が速く、計数精度が高く、ノイズ耐性も高いという状態を同時に達成することができる。

【0020】重み B は次のようにして求めてもよい。すなわち、図4に示すように、

(b-1) 過去、 $M \cdot \Delta t$ 分の C_{new} をそれぞれ、 $C_{new}(M)$ ($M \cdot \Delta t$ 前)、 $C_{new}(M-1)$ ($(M-1) \cdot \Delta t$ 前)、 $C_{new}(M-2)$ ($(M-2) \cdot \Delta t$ 前)、 \dots 、 $C_{new}(3)$ ($3 \cdot \Delta t$ 前)、 $C_{new}(2)$ ($2 \cdot \Delta t$ 前)、 $C_{new}(1)$ ($1 \cdot \Delta t$ 前)とし、今回の値を $C_{new}(0)$ とする。

(b-2) $C_{new}(0)$ から $C_{new}(M)$ までのうち、大きい順に上から V 個、下から W 個を除いた $(M-V-W)$ 個で平均を求め、この値をもとに C_p を求める。

(b-3) $B = C_p \cdot p^2 \cdot \Delta t$ として重み B を求める。なお、 B は1.0を超えない値とし、超えた場合には1.0とする。

【0021】以上の(b-1)～(b-3)の処理によっても、前記(a-1)～(a-3)の処理によると同じく、応答速度が速く、計数精度が高く、ノイズ耐性も高いパルス計数率測定をおこなうことができる。

【0022】重み B はまた次のようにして求めてもよい。すなわち、図5に示すように、

(c-1) 過去、 $M \cdot \Delta t$ 分の P_{out} をそれぞれ、 $P_{out}(M)$ ($M \cdot \Delta t$ 前)、 $P_{out}(M-1)$ ($(M-1) \cdot \Delta t$ 前)、 $P_{out}(M-2)$ ($(M-2) \cdot \Delta t$ 前)、 \dots 、 $P_{out}(3)$ ($3 \cdot \Delta t$ 前)、 $P_{out}(2)$ ($2 \cdot \Delta t$ 前)、 $P_{out}(1)$ ($1 \cdot \Delta t$ 前)とし、今回の値を $P_{out}(0)$ とする。

(c-2) $P_{out}(0)$ から $P_{out}(M)$ までのうち、大きい順に上から V 個、下から W 個を除いた $(M-V-W)$ 個で平均を求め、この値をもとに P_{outa} を求める。

(c-3) $B = P_{outa} \cdot p^2$ として重み B を求める。なお、 B は1.0を超えない値とし、超えた場合には1.0とする。

6

【0023】以上の(c-1)～(c-3)の処理によっても、前記2つの処理方法によると同じく、応答速度が速く、計数精度が高く、ノイズ耐性も高いパルス計数率測定をおこなうことができる。

【0024】なお上記3つのデータ処理方法において、過去の時定数や計数率の平均を取る際に、加重平均の考え方も取り入れ、割り算の際に2の累乗での除算となるようにすると、割り算処理が単なるビットシフトとなる。例えば、 $N=7$ 、 $X=2$ 、 $Y=2$ とした場合、 $7-2=5$ 個の残りの計数率をそれぞれ1:2:1の比で加重平均することによって処理の高速化をはかることができる。

【0025】本実施の形態においては、計数率処理部4及び入出力制御部を論理回路にて構成している。このように、内部論理を再構成可能な素子により構成することによって、入出力処理部品の変更を行うことなく機能の追加や変更が可能となり、保守性を向上することができる。

【0026】さらに、上記論理回路の内部論理を変更する際には、外部インターフェース部の入力スイッチすべてをあらかじめ定められたパターンに設定しない限り変更が不可能な構成とするのがよい。この構成をとることで、容易にロジックを変更することができず、安全性を保つことができる。

【0027】さらに具体的には、上記論理回路の内部論理を変更する際に外部インターフェース部の入力スイッチすべてを、外部インターフェース部のLED等の点灯に従って、それぞれのLED等に対応してあらかじめ定められているパターンに従い順番に設定しない限り変更が不可能な構成とするのがよい。この構成をとることで、容易にロジックを変更することができず、安全性を保つことができる。

【0028】あるいはまた、論理回路の内部論理を変更する際にパルス計数率計内に設けられた複数の電気接点を、あらかじめ定められた形で短絡しない限りロジックを変更することができない構造とする。こうした構造をとることで同様に安全性を保つことができる。

【0029】さらにまた、パルス計数率計の各機能を実現する内部論理を機能毎、例えば、入力部、計数率処理部、異常判定部、出力部、表示部、といった形でブロックとしてまとめ、構成すべきパルス計数率計に必要な機能によって選択、変更するようにしてもよい。こうした構成をとることにより、例えば表示部の表示用LEDの機能の変更といった軽微な変更を行う際に、他の部分、例えば、入力部、計数率処理部、異常判定部、出力部といった他の箇所に対する影響を限定することができる。こうした構成により、計数率処理部などの中心となる箇所の健全性の確保が容易となり、個々の適用先に応じたこまかな仕様の相違に対して迅速に対処することができる。

【0030】上記ブロック構成において、特に重要な機

7

能を有するブロック、例えば、安全にかかわる異常診断を行うブロックなどについては、基板上に実装した状態では書き換え不可能な素子を採用することによって計数率計全体としての安全性を確保することが容易となる。

【0031】

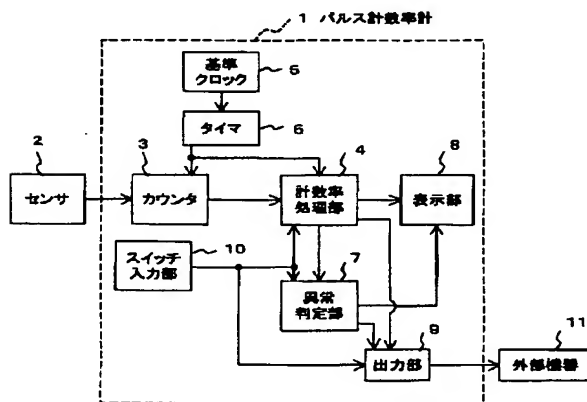
【発明の効果】本発明によれば、雑音耐性が高く、高速の事象に対応可能であると同時に高精度のパルス計数が可能で、保守と管理の容易なパルス計数率計を提供することができる。

【図面の簡単な説明】

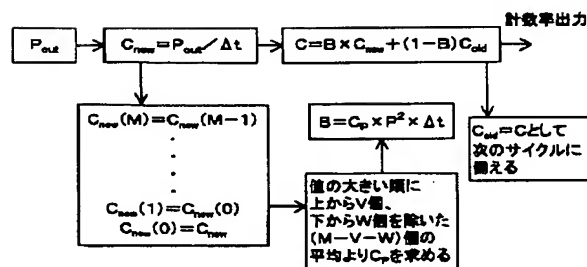
【図1】本発明の実施の形態のパルス計数率計の構成を示す機能ブロック図。

【図2】本発明の実施の形態のパルス計数率計における*

【図1】



【図4】



8

*計数率処理の第1の例を示す流れ図。

【図3】本発明の実施の形態のパルス計数率の応答と従来のパルス計数率計の応答とを比較して示す信号波形図。

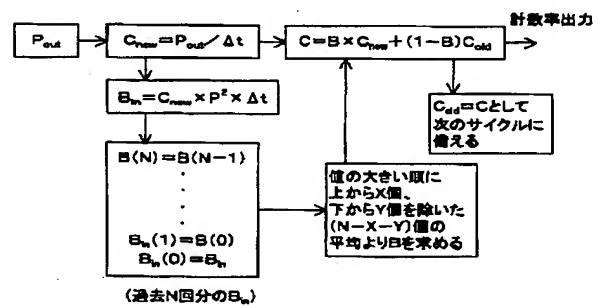
【図4】本発明の実施の形態のパルス計数率計における計数率処理の第2の例を示す流れ図。

【図5】本発明の実施の形態のパルス計数率計における計数率処理の第3の例を示す流れ図。

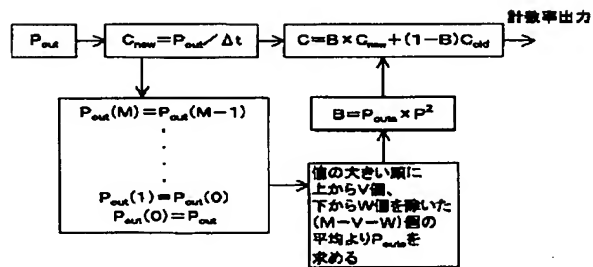
【符号の説明】

- 10 1…パルス計数率計、2…センサ、3…カウンタ、4…計数率処理部、5…基準クロック、6…タイマ、7…異常判定部、8…表示部、9…出力部、10…スイッチ入力部、11…外部機器。

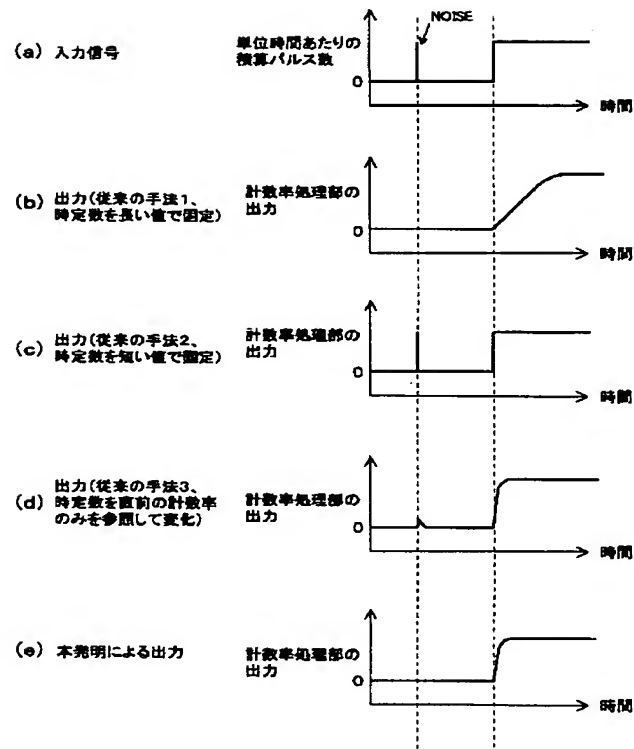
【図2】



【図5】



【図3】



フロントページの続き

(72)発明者 柚木 彰
東京都府中市東芝町1番地 株式会社東芝
府中事業所内

(72)発明者 井川 慎司
東京都府中市東芝町1番地 株式会社東芝
府中事業所内
Fターム(参考) 2G088 JJ36 KK13 KK24 LL11 LL18
MM03 MM09

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ ~~SKewed/SLANTED IMAGES~~
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)